

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Michiaki MARUOKA**
Filed: : **Concurrently herewith**
For: : **SEMICONDUCTOR DEVICE HAVING.....**
Serial No. : **Concurrently herewith**

J1002 U.S. PTO
10/024103
12/17/01

Assistant Commissioner for Patents
Washington, D.C. 20231

December 17, 2001

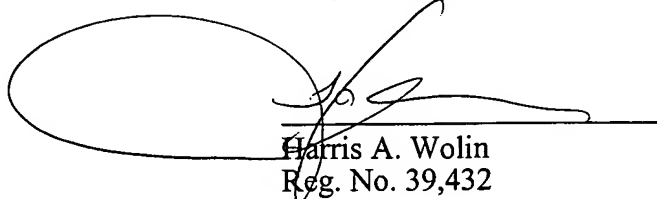
PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2000-394040** filed **December 26, 2000**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,


Harris A. Wolin
Reg. No. 39,432

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.:NECB 19.265
TELEPHONE: (212) 940-8800

5087

US

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月26日

出 願 番 号

Application Number:

特願2000-394040

出 願 人

Applicant(s):

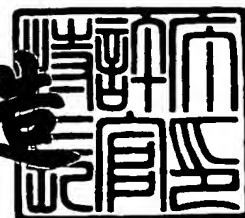
関西日本電気株式会社

J1002 U.S. PTO
10/024103
12/17/01

2001年 9月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3088467

【書類名】 特許願

【整理番号】 KNP0Z00169

【提出日】 平成12年12月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28
H01L 21/60
H01L 23/48
H01L 29/78

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 18

【発明者】
【住所又は居所】 滋賀県大津市晴嵐2丁目9番1号
関西日本電気株式会社内

【氏名】 丸岡 道明

【特許出願人】
【識別番号】 000156950
【氏名又は名称】 関西日本電気株式会社
【代表者】 奥野 和雄

【手数料の表示】
【予納台帳番号】 014007
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

下層金属層上にカバー絶縁膜を積層し、このカバー絶縁膜を開口して下層金属層を露出させ、この露出した下層金属層上に下層電極層を腐蝕する物質に対して耐腐蝕性を有する上層電極層を被せてボンディングパッド電極とした半導体装置において、

前記カバー絶縁膜の開口の上部を下部より広くしてカバー絶縁膜に段差が設けられ、前記上層電極層が前記段差のステップ面にオーバーラップして被せられていることを特徴とする半導体装置。

【請求項 2】

前記カバー絶縁膜が下層のシリコン窒化膜と上層の P S G 膜からなり、前記ステップ面がシリコン窒化膜の表面であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記カバー絶縁膜が P S G 膜からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記下層電極層がアルミニウム系金属膜からなり、前記上層電極層がアルミニウムに対する耐腐蝕性金属膜からなることを特徴とする請求項 1 乃至請求項 3 のうち 1 つに記載の半導体装置。

【請求項 5】

前記上層電極層が T i N i A g 膜からなることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

前記ボンディングパッド電極上に導電ペーストを介して高導電率金属板が接続される、または接続されたことを特徴とする請求項 4 または請求項 5 記載の半導体装置。

【請求項 7】

前記導電ペーストが A g ペーストであり、前記高導電率金属板が銅板であることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記ボンディングパッド電極がパワー M O S F E T のソースパッド電極であることを特徴とする請求項 6 または請求項 7 記載の半導体装置。

【請求項 9】

下層金属層上にカバー絶縁膜を積層し、このカバー絶縁膜を開口して下層金属層を露出させ、この露出した下層金属層上に下層電極層を腐蝕する物質に対して耐腐蝕性を有する上層電極層を被せてボンディングパッド電極とする半導体装置の製造方法において、

前記カバー絶縁膜の開口の上部を下部より広くしてカバー絶縁膜に段差を設け、前記上層電極層を前記段差のステップ面にオーバーラップして被せることを特徴とする半導体装置の製造方法。

【請求項 1 0】

前記ステップ面の形成が、レジストパターンをマスクにしてカバー絶縁膜を等方性エッチによりサイドエッチして行われ、前記上層電極層の形成が、前記レジストパターンをマスクにしてリフトオフにより行われることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 1】

前記カバー絶縁膜として、下層のシリコン窒化膜と上層の P S G 膜を積層し、前記サイドエッチを前記 P S G 膜に対して行い、その後、前記レジストパターンをマスクに、前記シリコン窒化膜をプラズマエッチして、前記 P S G 膜から露出したシリコン窒化膜表面を前記ステップ面とし、その上から前記上層電極層を被せ、その後、前記リフトオフにより、前記レジストパターン上の前記上層電極層を除去し、前記 P S G 膜およびシリコン窒化膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】

前記カバー絶縁膜として、下層のシリコン窒化膜を積層し、第1レジストパターンをマスクに、前記シリコン窒化膜をプラズマエッチして、前記下層電極層が露出するシリコン窒化膜の開口を形成し、第1レジストパターン除去後、その上にP S G膜を積層し、前記シリコン窒化膜の開口より広い開口を有する第2レジストパターンを前記レジストパターンとして前記サイドエッチを前記P S G膜に対して行って、前記P S G膜から露出したシリコン窒化膜表面を前記ステップ面とし、その上から前記上層電極層を被せ、その後、前記リフトオフにより、前記第2レジストパターン上の前記上層電極層を除去し、前記P S G膜およびシリコン窒化膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】

前記カバー絶縁膜として、P S G膜を積層し、所定広さの開口を有する第1レジストパターンをマスクに、前記P S G膜を所定膜厚残るまで異方性エッチまたは等方性エッチしてP S G膜に溝を形成し、さらに前記溝の開口より広い開口を有する第2レジストパターンをマスクに、前記溝から前記下層電極層が露出するまで等方性エッチを行って、前記P S G膜の開口端に前記ステップ面を形成し、その上から前記上層電極層となる膜を被せ、その後、前記リフトオフにより、前記第2レジストパターン上の前記上層電極層を除去し、前記P S G膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項14】

前記下層電極層がアルミニウム系金属膜により形成され、前記上層電極層がアルミニウムに対する耐腐蝕性金属膜により形成されることを特徴とする請求項9乃至請求項13のうち1つに記載の半導体装置の製造方法。

【請求項15】

前記上層電極層がT i N i A g膜により形成されることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】

前記ボンディングパッド電極上に導電ペーストを介して高導電率金属板が接続

されることを特徴とする請求項 1 4 または請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】

前記導電ペーストが A g ペーストであり、前記高導電率金属板が銅板であることを特徴とする請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】

前記ボンディングパッド電極がパワー M O S F E T のソースパッド電極として形成されることを特徴とする請求項 1 6 または請求項 1 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置およびその製造方法に関し、特に、耐腐蝕性を高めた多層構造のボンディングパッド電極を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

この種のボンディングパッド電極構造について、従来例を図 9 を参照して説明する。図において、1 は素子が形成された半導体基板の所定領域（図示せず）に電氣的接続されたアルミニウム膜、例えば、素子が M O S F E T の場合、ソース領域に電氣的接続されたソース電極で、このアルミニウム膜 1 上に、例えば、P S G 膜からなるカバー絶縁膜 2 が被せられ、カバー絶縁膜 2 の開口に、例えば、T i N i A g 膜 3 がカバー絶縁膜 2 にオーバーラップする構造で被せられて、アルミニウム膜 1 を腐蝕性物質から保護するボンディングパッド電極構造としている。

【0 0 0 3】

上記ボンディングパッド電極構造の製造方法は、カバー絶縁膜 2 の開口が設けられた後、その上から全面に、例えば、膜厚が T i = 1 0 0 0 Å、N i = 1 0 0 0 Å、A g = 1 0 0 0 0 Å からなる T i N i A g 膜 3 を被せ、フォトリソグラフ

ィ法でのレジストパターンでカバー絶縁膜2にオーバーラップするようにカバー絶縁膜2の開口より広くマスクして、TiNiAg膜3をエッチングすることにより形成する。しかし、上記膜厚のTiNiAg膜3をエッチングする製造プロセスは、作業性上または技術的にきわめて困難なプロセスであり、製造コストも高価になる。

【0004】

この問題を解決するための製造方法について、図10(a)～(e)を参照して説明する。まず、第1工程は、この工程の完了後を図10(a)に示すように、アルミニウム膜1上に常圧CVD法により、例えば、膜厚10000ÅのPSG膜からなるカバー絶縁膜2を積層する。

【0005】

次に、第2工程は、この工程の完了後を図10(b)に示すように、第1工程完了後、カバー絶縁膜2上にフォトリソグラフィ法によりボンディングパッド電極となる位置に開口を有するレジストパターン4でマスクをする。

【0006】

次に、第3工程はこの工程の完了後を図10(c)に示すように、第2工程完了後、レジストパターン4をマスクとして、ボンディングパッド電極となる位置のカバー絶縁膜2を等方性エッチ法、例えば、ウェットエッチにより除去して、カバー絶縁膜2に開口を形成する。

【0007】

次に、第4工程はこの工程の完了後を図10(d)に示すように、第3工程完了後、レジストパターン4を残したまま、その上からTiNiAg膜3をスパッタ法により被せる。

【0008】

次に、第5工程はこの工程の完了後を図10(e)に示すように、第4工程完了後、リフトオフ法によりレジストパターン4上のTiNiAg膜3を除去し、さらにレジストパターン4を除去する。

【0009】

【発明が解決しようとする課題】

ところで、ボンディングパッド電極を図 1 0 に示す製造方法で製造しようとした場合、図 1 0 (c) に示すように、カバー絶縁膜 2 はレジストパターン 4 の開口より広くサイドエッチされるため、図 1 0 (d) に示すように、アルミニウム膜 1 上で T i N i A g 膜 3 とカバー絶縁膜 2 との間に隙間が生じ、図 1 0 (e) に示すように、T i N i A g 膜 3 とカバー絶縁膜 2 との間からアルミニウム膜 1 が露出するボンディングパッド電極となり、アルミニウム膜 1 を腐蝕性物質から完全に保護できないという問題がある。また、カバー絶縁膜 2 がレジストパターン 4 の開口より広くサイドエッチしないように、レジストパターン 4 をマスクとして、パッドとなる位置のカバー絶縁膜 2 をプラズマエッチのイオンエッチで行うことが考えられるが、この場合、レジストパターン 4 上の T i N i A g 膜 3 がアルミニウム膜 1 上の T i N i A g 膜 3 と繋がってしまい、リフトオフ法によりレジストパターン 4 上の T i N i A g 膜 3 を除去することが困難となる。

本発明は上記問題点に鑑みてなされたものであり、その目的は、リフトオフ法を用いて、カバー絶縁膜と上層金属層との間から下層金属層が露出しないボンディングパッド電極を有する半導体装置およびその製造方法を提供することである。

【 0 0 1 0 】

【課題を解決するための手段】

(1) 本発明の半導体装置は、下層金属層上にカバー絶縁膜を積層し、このカバー絶縁膜を開口して下層金属層を露出させ、この露出した下層金属層上に下層電極層を腐蝕する物質に対して耐腐蝕性を有する上層電極層を被せてボンディングパッド電極とした半導体装置において、前記カバー絶縁膜の開口の上部を下部より広くしてカバー絶縁膜に段差が設けられ、前記上層電極層が前記段差のステップ面にオーバーラップして被せられていることを特徴とする。

(2) 本発明の半導体装置は、上記(1)項において、前記カバー絶縁膜が下層のシリコン窒化膜と上層の P S G 膜からなり、前記ステップ面がシリコン窒化膜の表面であることを特徴とする。

(3) 本発明の半導体装置は、上記(1)項において、前記カバー絶縁膜が P S G 膜からなることを特徴とする。

(4) 本発明の半導体装置は、上記(1)項乃至(3)項のうち1つにおいて、前記下層電極層がアルミニウム系金属膜からなり、前記上層電極層がアルミニウムに対する耐腐蝕性金属膜からなることを特徴とする。

(5) 本発明の半導体装置は、上記(4)項において、前記上層電極層がTiNiAg膜からなることを特徴とする。

(6) 本発明の半導体装置は、上記(4)項または(5)項において、前記ボンディングパッド電極上に導電ペーストを介して高導電率金属板が接続される、または接続されたことを特徴とする。

(7) 本発明の半導体装置は、上記(6)項において、前記導電ペーストがAgペーストであり、前記高導電率金属板が銅板であることを特徴とする。

(8) 本発明の半導体装置は、上記(6)項または(7)項において、前記ボンディングパッド電極がパワーMOSFETのソースパッド電極であることを特徴とする。

(9) 本発明の半導体装置の製造方法は、下層金属層上にカバー絶縁膜を積層し、このカバー絶縁膜を開口して下層金属層を露出させ、この露出した下層金属層上に下層電極層を腐蝕する物質に対して耐腐蝕性を有する上層電極層を被せてボンディングパッド電極とする半導体装置の製造方法において、前記カバー絶縁膜の開口の上部を下部より広くしてカバー絶縁膜に段差を設け、前記上層電極層を前記段差のステップ面にオーバーラップして被せることを特徴とする。

(10) 本発明の半導体装置の製造方法は、上記(9)項において、前記ステップ面の形成が、レジストパターンをマスクにしてカバー絶縁膜を等方性エッチによりサイドエッチして行われ、前記上層電極層の形成が、前記レジストパターンをマスクにしてリフトオフにより行われることを特徴とする。

(11) 本発明の半導体装置の製造方法は、上記(10)項において、前記カバー絶縁膜として、下層のシリコン窒化膜と上層のPSG膜を積層し、前記サイドエッチを前記PSG膜に対して行い、その後、前記レジストパターンをマスクに、前記シリコン窒化膜をプラズマエッチして、前記PSG膜から露出したシリコン窒化膜表面を前記ステップ面とし、その上から前記上層電極層を被せ、その後、前記リフトオフにより、前記レジストパターン上の前記上層電極層を除去し、

前記 P S G 膜およびシリコン窒化膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする。

(1 2) 本発明の半導体装置の製造方法は、上記 (1 0) 項において、前記カバー絶縁膜として、下層のシリコン窒化膜を積層し、第 1 レジストパターンをマスクに、前記シリコン窒化膜をプラズマエッチして、前記下層電極層が露出するシリコン窒化膜の開口を形成し、第 1 レジストパターン除去後、その上に P S G 膜を積層し、前記シリコン窒化膜の開口より広い開口を有する第 2 レジストパターンを前記レジストパターンとして前記サイドエッチを前記 P S G 膜に対して行って、前記 P S G 膜から露出したシリコン窒化膜表面を前記ステップ面とし、その上から前記上層電極層を被せ、その後、前記リフトオフにより、前記第 2 レジストパターン上の前記上層電極層を除去し、前記 P S G 膜およびシリコン窒化膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする。

(1 3) 本発明の半導体装置の製造方法は、上記 (1 0) 項において、前記カバー絶縁膜として、P S G 膜を積層し、所定広さの開口を有する第 1 レジストパターンをマスクに、前記 P S G 膜を所定膜厚残るまで異方性エッチまたは等方性エッチして P S G 膜に溝を形成し、さらに前記溝の開口より広い開口を有する第 2 レジストパターンをマスクに、前記溝から前記下層電極層が露出するまで等方性エッチを行って、前記 P S G 膜の開口端に前記ステップ面を形成し、その上から前記上層電極層となる膜を被せ、その後、前記リフトオフにより、前記第 2 レジストパターン上の前記上層電極層を除去し、前記 P S G 膜の開口により露出した前記下層電極層および前記ステップ面に前記上層電極層を残すことを特徴とする。

(1 4) 本発明の半導体装置の製造方法は、上記 (9) 項乃至 (1 3) 項のうち 1 つにおいて、前記下層電極層がアルミニウム系金属膜により形成され、前記上層電極層がアルミニウムに対する耐腐蝕性金属膜により形成されることを特徴とする。

(1 5) 本発明の半導体装置の製造方法は、上記 (1 4) 項において、前記上層電極層が T i N i A g 膜により形成されることを特徴とする。

(16) 本発明の半導体装置の製造方法は、上記(14)項または(15)項において、前記ボンディングパッド電極上に導電ペーストを介して高導電率金属板が接続されることを特徴とする。

(17) 本発明の半導体装置の製造方法は、上記(16)項において、前記導電ペーストがA g ペーストであり、前記高導電率金属板が銅板であることを特徴とする。

(18) 本発明の半導体装置の製造方法は、上記(16)項または(17)項において、前記ボンディングパッド電極がパワーMOSFETのソースパッド電極として形成されることを特徴とする。

【0011】

【発明の実施の形態】

以下に、本発明の第1実施例のUMOS構造のMOSFET100について、図1を参照して説明する。11は高濃度一導電型であるN+型シリコン基板で、このシリコン基板11上にN-型エピタキシャル層12が積層されている。エピタキシャル層12の表面のセル部AにはU字型溝13が形成され、U字型溝13の内部に図示しないゲート酸化膜を介してポリシリコンからなるゲート電極14が埋め込み形成されている。エピタキシャル層14のセル部AのU字型溝13により分離された表面層には他導電型であるP型ベース領域15が形成され、ベース領域15の表面層にはU字型溝13に接してN+型ソース領域16が形成されている。エピタキシャル層12上のセル部Aとセル部Aに挟まれたゲートフィンガー部Bにはフィールド酸化膜17を介してゲート電極14と同時にポリシリコンゲートフィンガー18が形成されている。以上が構成されたエピタキシャル層12上にBP SG膜からなる層間絶縁膜19が積層され、層間絶縁膜19上には層間絶縁膜19の開口を介してセル部Aにベース領域15およびソース領域16と電氣的接触した下層電極層としてのアルミニウム膜からなるソース電極20が形成され、ゲートフィンガー部Bにソース電極20と同時にポリシリコンゲートフィンガー18と電氣的接触したアルミニウムゲートフィンガー21が形成されている。さらにその上にカバー絶縁膜22として、シリコン窒化膜22aとPSG膜22bが順に積層され、シリコン窒化膜22aおよびPSG膜22bの開口

を介してソース電極20上のソースパッド部Cに上層電極層としてTiNiAg膜23が形成されている。PSG膜22bの開口はシリコン窒化膜22aの開口より広く形成されてカバー絶縁膜22として開口端に段差が生じ、PSG膜22bから露出したシリコン窒化膜22a表面によりステップ面22cが形成されており、TiNiAg膜23をこのステップ面22c上にオーバーラップして被せている。尚、図1に示す断面は、図2に示すMOSFETのチップ表面のX-X断面を示したものである。図2において、Dはゲートパッド部である。

【0012】

上記構成によれば、カバー絶縁膜22として、シリコン窒化膜22aとPSG膜22bとで構成し、PSG膜22bの開口をシリコン窒化膜22aの開口より広く形成してカバー絶縁膜22として開口端に段差を生じさせ、PSG膜22bから露出したシリコン窒化膜22aにより形成されたステップ面22c上にTiNiAg膜23をオーバーラップして被せているので、ソースパッド部Cのアルミニウム膜からなるソース電極20を腐蝕性物質から保護することができる。

【0013】

次に、MOSFET100の製造方法の第1実施例について、図3(a)～(f)を参照して説明する。尚、ソース電極20およびアルミニウムゲートフィンガー21の形成までは、公知の技術で製造可能であり、その説明を省略し、カバー絶縁膜22の形成以降について、ソース電極20上でカバー絶縁膜の開口端近辺の断面のみを示して説明する。先ず、第1工程は、この工程の完了後を図3(a)に示すように、ソース電極20上にカバー絶縁膜22として、プラズマCVD法により、例えば、膜厚5000Åのシリコン窒化膜22aと、常圧CVD法により、例えば、膜厚10000ÅのPSG膜22bとを順に積層する。

【0014】

次に、第2工程は、この工程の完了後を図3(b)に示すように、第1工程完了後、PSG膜22b上にフォトリソグラフィ法によりソースパッド部Cに開口を有するレジストパターン25でマスクをする。

【0015】

次に、第3工程はこの工程の完了後を図3(c)に示すように、第2工程完了

後、レジストパターン25を残したまま、これをマスクとして、ソースパッド部CのPSG膜22bを等方性エッチ法、例えば、ウェットエッチにより除去して、PSG膜22bに開口を形成する。このときPSG膜22bはレジストパターン25に対してサイドエッチされ、PSG膜22bの開口はレジストパターン25の開口よりサイドエッチされた分だけ広くなる。

【0016】

次に、第4工程はこの工程の完了後を図3(d)に示すように、第3工程完了後、同じくレジストパターン25をマスクとして、ソースパッド部Cのシリコン窒化膜22aをプラズマエッチにより除去して、シリコン窒化膜22aに開口を形成する。このときシリコン窒化膜22aの開口はレジストパターン25の開口と略同一広さとなり、PSG膜22bの開口はシリコン窒化膜22aの開口より広く形成されてカバー絶縁膜22として開口端に段差が生じ、PSG膜22bから露出したシリコン窒化膜22a表面によりステップ面22cが形成される

【0017】

次に、第5工程はこの工程の完了後を図3(e)に示すように、第4工程完了後、レジストパターン25を残したまま、その上から、例えば、膜厚が $Ti=1000\text{\AA}$ 、 $Ni=1000\text{\AA}$ 、 $Ag=10000\text{\AA}$ からなるTiNiAg膜23をスパッタ法または蒸着法により被せる。このとき、TiNiAg膜23はカバー絶縁膜22の開口端の露出したステップ面22cにもオーバーラップして被る。このときレジストパターン25上のTiNiAg膜23と、ソース電極20およびステップ面22c上のTiNiAg膜23とは繋がっていない。

【0018】

次に、第6工程はこの工程の完了後を図3(f)に示すように、第5工程完了後、リフトオフ法によりレジストパターン25上のTiNiAg膜23を除去し、さらにレジストパターン25を除去する。

【0019】

上記製造方法によれば、カバー絶縁膜22として、シリコン窒化膜22aとPSG膜22bとを順に積層し、レジストパターン25を用いて等方性エッチ法によるサイドエッチによりPSG膜22bの開口をプラズマエッチによるシリコン

窒化膜 2 2 a の開口より広く形成して、カバー絶縁膜 2 2 として開口端に段差を生じさせ、P S G 膜 2 2 b から露出したシリコン窒化膜 2 2 a 表面によりステップ面 2 2 c が形成され、リフトオフ法により T i N i A g 膜 2 3 をこのステップ面 2 2 c 上にオーバーラップして被せるので、ソースパッド部 C のアルミニウム膜からなるソース電極 2 0 を腐蝕性物質から保護することができる。

【 0 0 2 0 】

次に、M O S F E T 1 0 0 の製造方法の第 2 実施例について、図 4 (a) ～ (f) を参照して説明する。まず、第 1 工程は、この工程の完了後を図 4 (a) に示すように、ソース電極 2 0 上にカバー絶縁膜 2 2 の下層として、プラズマ C V D 法により、例えば、膜厚 5 0 0 0 Å のシリコン窒化膜 2 2 a を積層する。

【 0 0 2 1 】

次に、第 2 工程は、この工程の完了後を図 4 (b) に示すように、第 1 工程完了後、シリコン窒化膜 2 2 a 上にフォトリソグラフィ法によりソースパッド部 C に開口を有するレジストパターン 2 5 a でマスクし、レジストパターン 2 5 a をマスクとして、ソースパッド部 C のシリコン窒化膜 2 2 a をプラズマエッチにより除去して、シリコン窒化膜 2 2 a に開口を形成する。

【 0 0 2 2 】

次に、第 3 工程はこの工程の完了後を図 4 (c) に示すように、第 2 工程完了後、レジストパターン 2 5 a を除去し、開口が形成されたシリコン窒化膜 2 2 a 上にカバー絶縁膜 2 2 の上層として、常圧 C V D 法により、例えば、膜厚 1 0 0 0 0 Å の P S G 膜 2 2 b を積層する。

【 0 0 2 3 】

次に、第 4 工程はこの工程の完了後を図 4 (d) に示すように、第 3 工程完了後、P S G 膜 2 2 b 上にフォトリソグラフィ法によりソースパッド部 C にシリコン窒化膜 2 2 a の開口より広い開口を有するレジストパターン 2 5 b でマスクし、レジストパターン 2 5 b をマスクとして、ソースパッド部 C の P S G 膜 2 2 b を等方性エッチ法、例えば、ウェットエッチにより除去して、P S G 膜 2 2 b に開口を形成する。このとき P S G 膜 2 2 b はレジストパターン 2 5 b に対してサイドエッチされ、P S G 膜 2 2 b の開口はレジストパターン 2 5 の開口よりサイ

ドエッチされた分だけ広くなる。従って、PSG膜22bの開口はシリコン窒化膜22aの開口より広く形成されてカバー絶縁膜22として開口端に段差が生じ、PSG膜22bから露出したシリコン窒化膜22a表面によりステップ面22cが形成される。

【0024】

次に、第5工程はこの工程の完了後を図4(e)に示すように、第4工程完了後、レジストパターン25bを残したまま、その上から、例えば、膜厚が $Ti=1000\text{\AA}$ 、 $Ni=1000\text{\AA}$ 、 $Ag=10000\text{\AA}$ からなるTiNiAg膜23をスパッタ法または蒸着法により被せる。このとき、TiNiAg膜23はカバー絶縁膜22の開口端の露出したステップ面22cにもオーバーラップして被る。第1実施例では、シリコン窒化膜22aとレジストパターン25との開口の広さが同一であったが、本実施例では、レジストパターン25bの開口をシリコン窒化膜22aの開口より広くしているので、ステップ面22cへのオーバーラップ寸法が第1実施例より大きくなる。このときレジストパターン25b上のTiNiAg膜23と、ソース電極20およびステップ面22c上のTiNiAg膜23とは繋がっていない。

【0025】

次に、第6工程はこの工程の完了後を図4(f)に示すように、第5工程完了後、リフトオフ法によりレジストパターン25b上のTiNiAg膜23を除去し、さらにレジストパターン25bを除去する。

【0026】

上記製造方法によれば、カバー絶縁膜22として、先ずシリコン窒化膜22aを積層し、レジストパターン25aを用いて、プラズマエッチによりシリコン窒化膜22aに開口を形成した後に、PSG膜22bを積層し、シリコン窒化膜22aの開口より広い開口を有するレジストパターン25bを用いて等方性エッチ法によるサイドエッチによりPSG膜22bの開口をレジストパターン25bの開口より広く形成して、カバー絶縁膜22として開口端に段差を生じさせ、PSG膜22bから露出したシリコン窒化膜22a表面によりステップ面22cが形成され、リフトオフ法によりTiNiAg膜23をこのステップ面22c上にオ

オーバーラップ寸法が第 1 実施例より大きくして被せるので、ソースパッド部 C のアルミニウム膜からなるソース電極 2 0 を第 1 実施例より余裕をもって腐蝕性物質から保護することができる。

【 0 0 2 7 】

次に、本発明の第 2 実施例の U M O S 構造の M O S F E T 2 0 0 について、図 5 を参照して説明する。尚、N + 型シリコン基板 1 1 からソース電極 2 0 およびアルミニウムゲートフィンガー 2 1 の構成までは、M O S F E T 1 0 0 と同一であり、その説明を省略し、ソース電極 2 0 およびアルミニウムゲートフィンガー 2 1 上の構成について説明する。ソース電極 2 0 およびアルミニウムゲートフィンガー 2 1 上に P S G 膜からなるカバー絶縁膜 3 2 が積層され、カバー絶縁膜 3 2 の開口を介してソース電極 2 0 上のソースパッド部 C に T i N i A g 膜 3 3 が形成されている。カバー絶縁膜 3 2 の開口端に段差を設け、T i N i A g 膜 3 3 をこの段差のステップ面 3 2 a にオーバーラップして被せている。尚、図 5 に示す断面は、図 2 に示す M O S F E T 1 0 0 のチップ表面の X - X 断面と同様個所の断面を示したものである。

【 0 0 2 8 】

上記構成によれば、P S G 膜からなるカバー絶縁膜 3 2 の開口端に段差を設け、T i N i A g 膜 3 3 をこの段差のステップ面 3 2 a にオーバーラップして被せているので、ソースパッド部 C のアルミニウム膜からなるソース電極 2 0 を腐蝕性物質から保護することができる。

【 0 0 2 9 】

次に、M O S F E T 2 0 0 の製造方法の一実施例について、図 6 (a) ~ (f) を参照して説明する。尚、ソース電極 2 0 およびアルミニウムゲートフィンガー 2 1 の形成までは、公知の技術で製造可能であり、その説明を省略し、カバー絶縁膜 3 2 の形成以降について、ソース電極 2 0 上でカバー絶縁膜の開口端近辺の断面のみを示して説明する。

まず、第 1 工程は、この工程の完了後を図 6 (a) に示すように、ソース電極 2 0 上に、プラズマ C V D 法により、例えば、膜厚 1 5 0 0 0 Å の P S G 膜からなるカバー絶縁膜 3 2 を積層する。

【 0 0 3 0 】

次に、第2工程は、この工程の完了後を図6（b）に示すように、第1工程完了後、カバー絶縁膜32上にフォトリソグラフィ法によりソースパッド部Cに開口を有するレジストパターン35aでマスクをする。

【 0 0 3 1 】

次に、第3工程はこの工程の完了後を図6（c）に示すように、第2工程完了後、レジストパターン35aをマスクとして、ソースパッド部Cのカバー絶縁膜32を等方性エッチ法、例えば、ウェットエッチ、または異方性エッチ法、例えば、プラズマエッチのイオンエッチにより（図6（c）では等方性エッチ法により）、例えば、膜厚7500Åまで除去して溝32bを形成する。このときレジストパターン35a直下のカバー絶縁膜32はレジストパターン35aに対してサイドエッチされ、カバー絶縁膜32の溝32bの開口はレジストパターン35aの開口よりサイドエッチされた分だけ広くなる。

【 0 0 3 2 】

次に、第4工程はこの工程の完了後を図6（d）に示すように、第3工程完了後、レジストパターン35aを除去し、新たにカバー絶縁膜32の溝32bの開口より広い開口をソースパッド部Cに有するレジストパターン35bでマスクし、レジストパターン35bの開口からカバー絶縁膜32を等方性エッチ法、例えば、ウェットエッチによりカバー絶縁膜32の溝32bからソース電極20が露出するまで除去して、カバー絶縁膜32に開口32cを形成する。このときレジストパターン35b直下のカバー絶縁膜32はレジストパターン35bに対してサイドエッチされ、カバー絶縁膜32の開口端に段差が生じステップ面32aが露出形成される。

【 0 0 3 3 】

次に、第5工程はこの工程の完了後を図6（e）に示すように、第4工程完了後、レジストパターン35bを残したまま、その上から、例えば、膜厚が $Ti = 1000\text{\AA}$ 、 $Ni = 1000\text{\AA}$ 、 $Ag = 10000\text{\AA}$ からなる $TiNiAg$ 膜33をスパッタ法または蒸着法により被せる。このとき、 $TiNiAg$ 膜33はカバー絶縁膜32の開口端の露出したステップ面32aにもオーバーラップして被

る。MOSFET100の製造方法の第1実施例では、シリコン窒化膜22aとレジストパターン25との開口の広さが同一であったが、本実施例では、レジストパターン35bの開口をカバー絶縁膜32の開口32cより広くしているので、カバー絶縁膜32の開口端のステップ面32aへのオーバーラップ寸法がMOSFET100の製造方法の第1実施例より大きくなる。このときレジストパターン35b上のTiNiAg膜33と、ソース電極20およびステップ面32a上のTiNiAg膜33とは繋がっていない。

【0034】

次に、第6工程はこの工程の完了後を図6(f)に示すように、第5工程完了後、リフトオフ法によりレジストパターン35b上のTiNiAg膜33を除去し、さらにレジストパターン35bを除去する。

【0035】

上記製造方法によれば、PSG膜からなるカバー絶縁膜32を積層し、レジストパターン35aを用いて等方性エッチ法または異方性エッチ法によりカバー絶縁膜32に溝32bを形成し、新たにカバー絶縁膜32の溝32bの開口より広い開口を有するレジストパターン35bを用いて等方性エッチ法によりカバー絶縁膜32の溝32bからソース電極20が露出するまでカバー絶縁膜32を除去して、カバー絶縁膜32に開口32cを形成し、このときレジストパターン35b直下のカバー絶縁膜32がサイドエッチされ、カバー絶縁膜32の開口端に段差が生じステップ面32aが露出形成され、リフトオフ法によりTiNiAg膜33をこのステップ面32a上にオーバーラップ寸法がMOSFET100の第1実施例より大きくして被せるので、ソースパッド部Cのアルミニウム膜からなるソース電極20をMOSFET100の第1実施例より余裕をもって腐蝕性物質から保護することができる。

【0036】

次に、上記のMOSFET100およびMOSFET200を用いてパッケージングするときの電極取出し構造について、MOSFET100を用いたときを例として、図7および図8を参照して説明する。MOSFET100の説明は上述したので省略する。各図において、MOSFET100のTiNiAg膜23

は、導電性ペースト 51、例えば、Ag ペーストを介して外部端子への電極取出しのための高導電率金属板 52、例えば、銅板に接続されている。MOSFET 100 を上記構成の電極取出し構造で用いることにより、ソース電極 20 を Ag ペーストに含まれる塩素等の腐蝕性物質から保護した上で、ソース電極 20 から外部端子への抵抗を低減でき、パッケージングされた MOSFET のオン抵抗を削減することができる。

【0037】

上記実施例において、UMOS 構造の MOSFET で説明したが、これに限定されることなく、ゲートプレーナ構造の MOSFET でも適用でき、また、MOSFET 以外の素子でも適用可能である。また、素子からの電極取出し構造については、特に、パワー素子に用いるのが、パワー素子の動作抵抗を低減でき、好適である。

【0038】

【発明の効果】

本発明の半導体装置およびその製造方法によれば、ボンディングパッド電極を構成する下層金属層を腐蝕性物質から保護するために、下層金属層上にカバー絶縁膜を積層し、このカバー絶縁膜を開口して下層金属層を露出させ、この露出した下層金属層上に下層電極層を腐蝕する物質に対して耐腐蝕性を有する上層電極層を被せるとき、カバー絶縁膜の開口の上部を下部より広くしてカバー絶縁膜に段差を設け、この段差のステップ面に上層金属層をオーバーラップするようにしたので、カバー絶縁膜と上層金属層との間から下層金属層が露出しないボンディングパッド電極を作業性上および技術的に容易に製造でき、下層金属層を腐蝕性物質から完全に保護した半導体装置を安価に製造することができる。

また、この上層金属層に導電ペーストを介して高導電率金属板を接続することにより、下層金属層を導電ペーストに含まれる塩素等の腐蝕性物質から保護した上で、外部端子への抵抗を低減でき、パッケージングされた半導体装置の動作抵抗を削減することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例の MOSFET の要部断面図。

【図 2】 図 1 に示す MOSFET の平面概略パターン図。

【図 3】 図 1 に示す MOSFET の第 1 実施例の製造工程を示す要部断面図。

【図 4】 図 1 に示す MOSFET の第 2 実施例の製造工程を示す要部断面図。

【図 5】 本発明の第 2 実施例の MOSFET の要部断面図。

【図 6】 図 5 に示す MOSFET の一実施例の製造工程を示す要部断面図。

【図 7】 図 1 に示す MOSFET を用いた外部端子への電極取出し構造の要部断面図。

【図 8】 図 7 に示す電極取出し構造の平面概略パターン図。

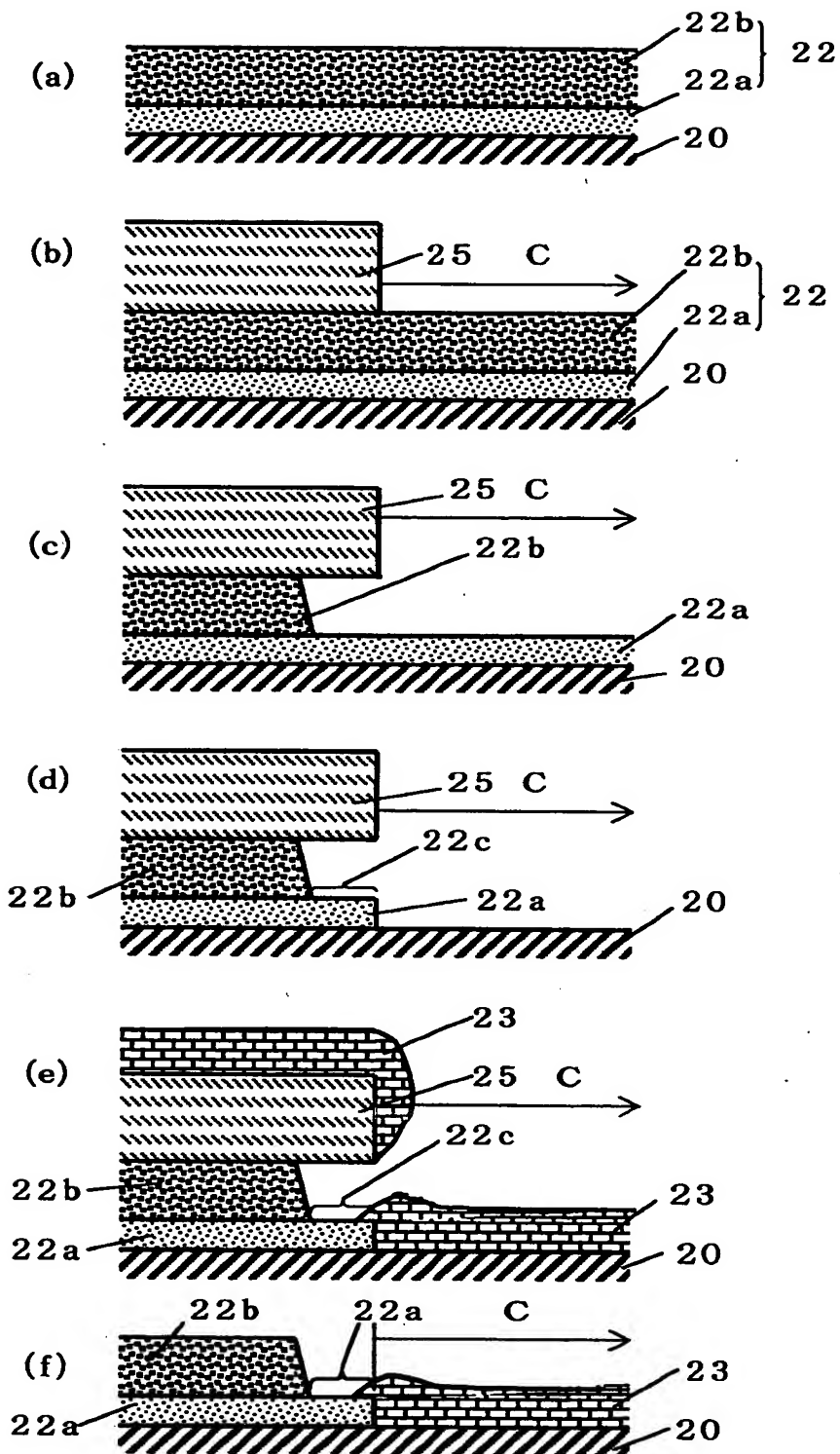
【図 9】 従来のボンディングパッド構造の要部断面図。

【図 10】 図 9 のボンディングパッド構造をリフトオフ法を用いて製造しようとしたときの問題点を説明する製造工程を示す要部断面図。

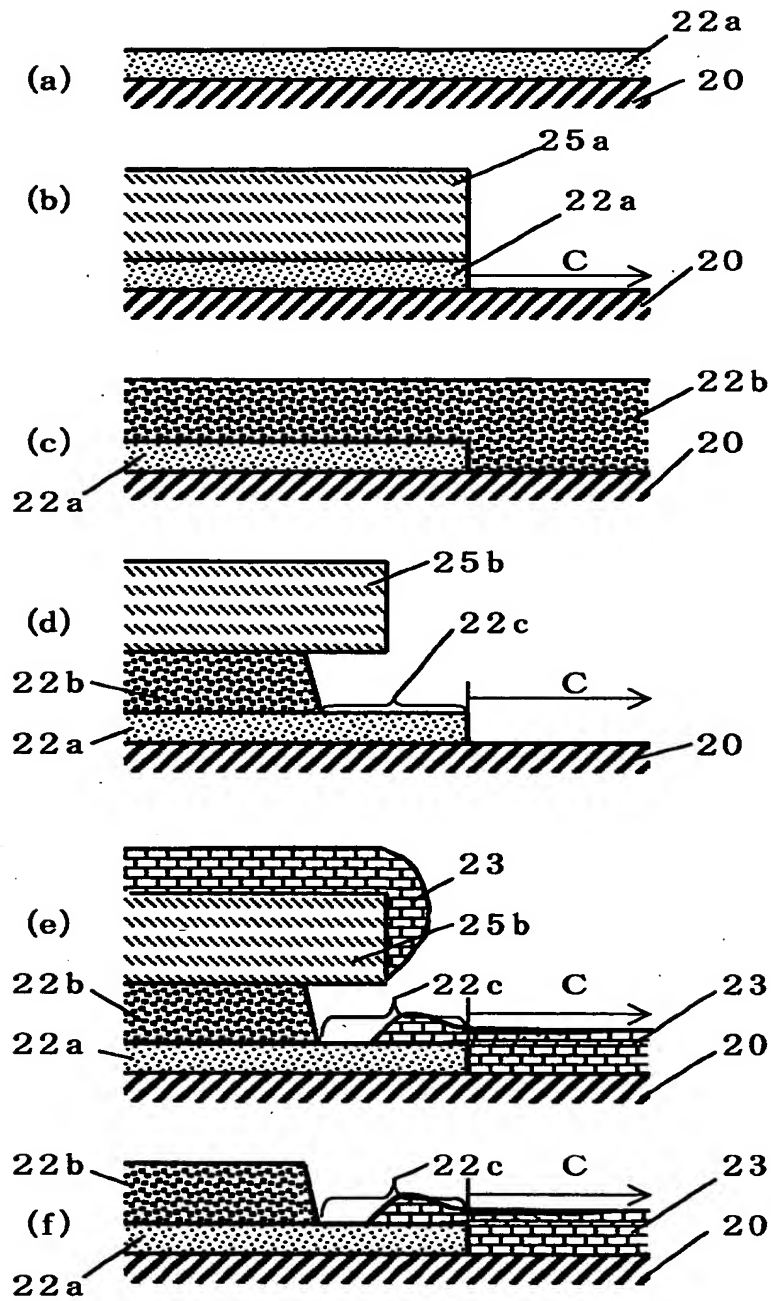
【符号の説明】

- C ソースパッド部
- 2 0 ソース電極（下層電極層）
- 2 2、3 2 カバー絶縁膜
- 2 2 a シリコン窒化膜
- 2 2 b PSG 膜
- 2 2 c、3 2 a ステップ面
- 3 2 b カバー絶縁膜の溝
- 3 2 c カバー絶縁膜の開口
- 2 3、3 3 TiNiAg 膜（上層電極層）
- 2 5 レジストパターン
- 2 5 a、3 5 a 第 1 レジストパターン
- 2 5 b、3 5 b 第 2 レジストパターン
- 5 1 導電ペースト（Ag ペースト）
- 5 2 高導電率金属板（銅板）
- 1 0 0、2 0 0 MOSFET

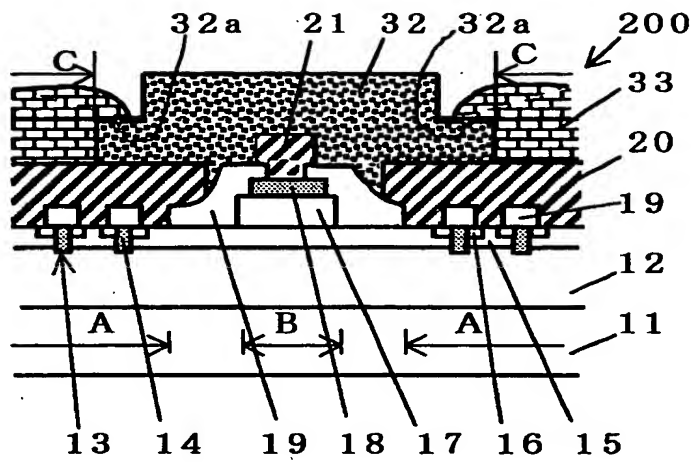
【図 3】



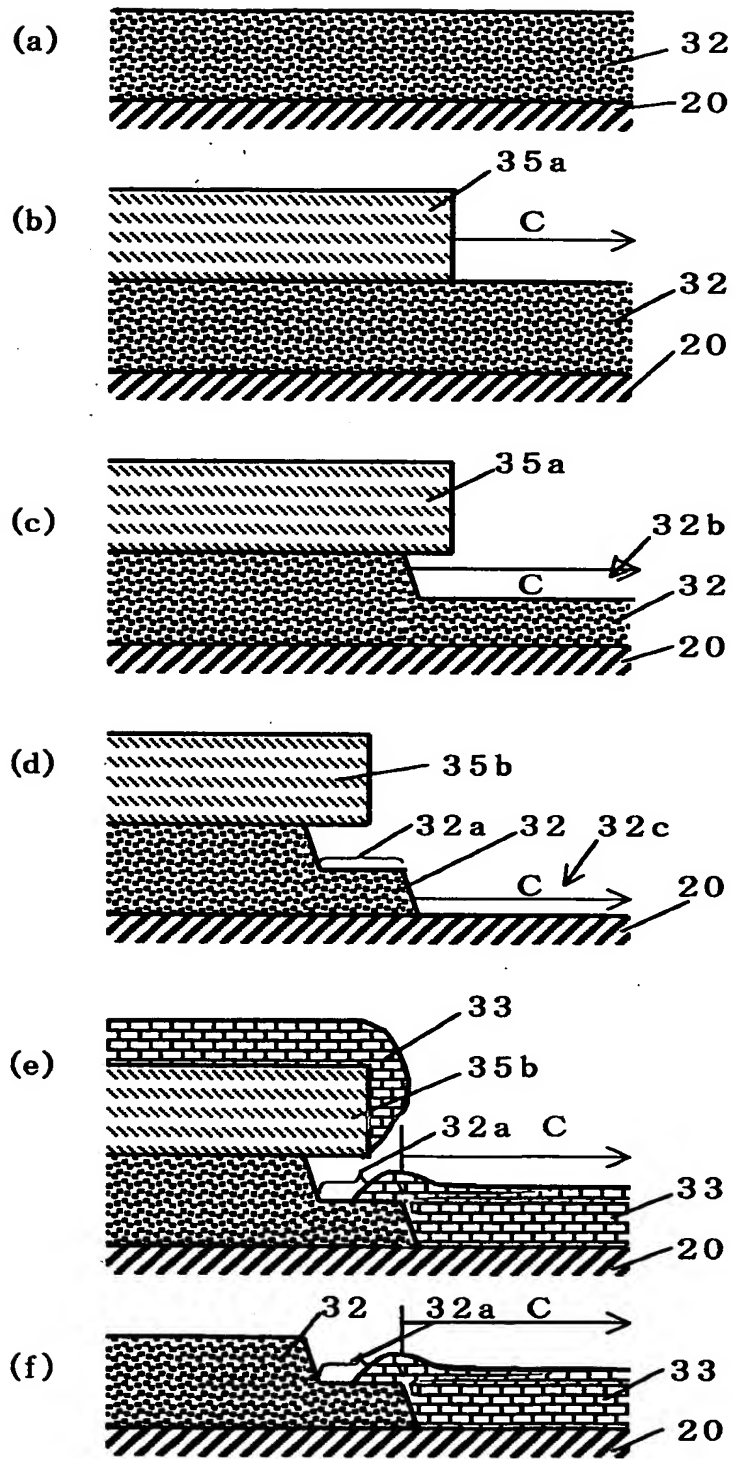
【図4】



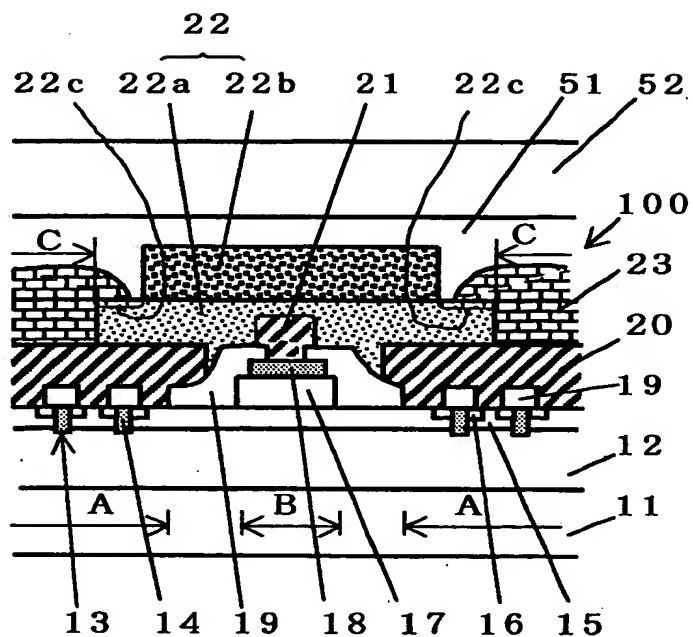
【図5】



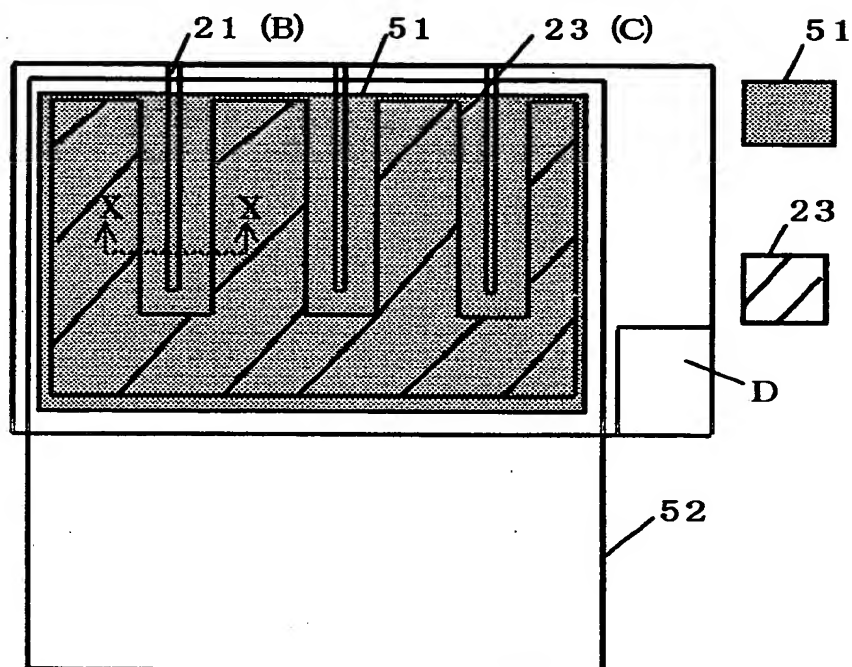
【図 6】



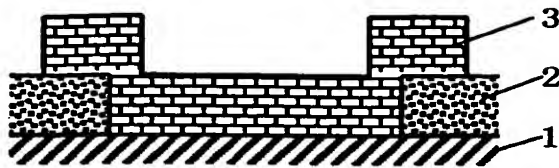
【図 7】



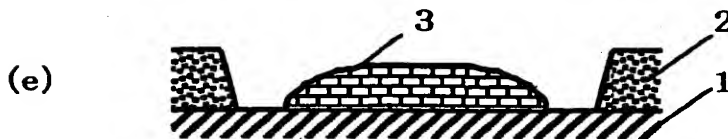
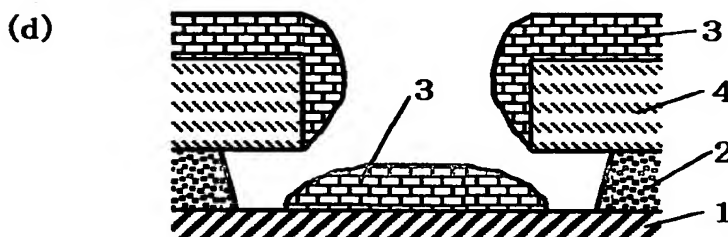
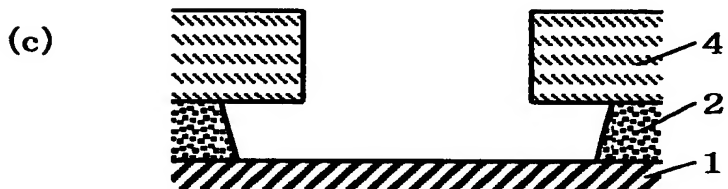
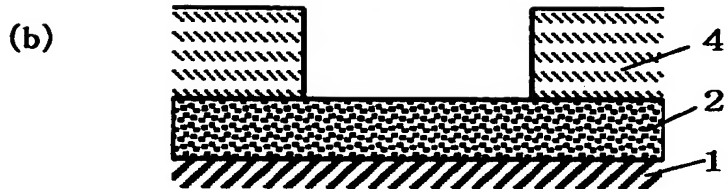
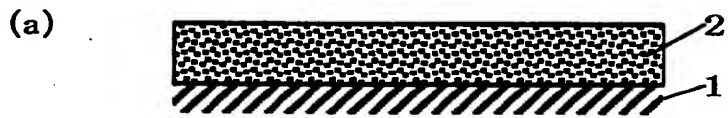
【图 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 ボンディングパッドを構成するためのカバー絶縁膜の開口からソース電極が腐蝕性物質により腐蝕するのを保護するために、ソース電極上にカバー絶縁膜の開口を介してリフトオフ法を用いてT i N i A g膜を被せるとき、カバー絶縁膜とT i N i A g膜との間からソース電極が露出するという問題がある。

【解決手段】 カバー絶縁膜22として、シリコン窒化膜22aとP S G膜22bが順に積層され、シリコン窒化膜22aおよびP S G膜22bの開口を介してソース電極20上にT i N i A g膜23が形成されている。P S G膜22bの開口はシリコン窒化膜22aの開口より広く形成されてカバー絶縁膜22として開口端に段差が生じており、P S G膜22bから露出したシリコン窒化膜22a表面によりステップ面22cが形成され、リフトオフ法によりT i N i A g膜23をこのステップ面22c上にオーバーラップして被せている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000156950]

1. 変更年月日	1990年 8月 8日
[変更理由]	新規登録
住 所	滋賀県大津市晴嵐2丁目9番1号
氏 名	関西日本電気株式会社